

復旦大學

硕 士 学 位 论 文 (专业学位)

HV p-MOSFET器件中NBTI效应的 机理研究和工艺改进的探讨

院 系 (所): 信息科学与工程学院

专 业: 电子与通信工程

姓 名: 倪立大

指导教师: 汤庭鳌 教授

完成日期: 2005年10月30日

摘 要

本文深入研究了 HV p-MOSFET 器件中 NBTI(negative bias temperature instability)效应, 首先通过实验分析了 NBTI 应力后器件特性及典型参数的退化, 基于这些实验结果提出了一种可能的 NBTI 效应发生机制: 界面态缺陷和栅氧化层缺陷的生成和氢 $H^+/H^0/H_2$ 的扩散模型 (Reaction-Diffusion model), 最后从工艺的角度探讨减少和抑制 NBTI 效应的方法。

关键词: NBTI 效应; HV PMOSFET; 界面态; R-D model

中图分类号: TN4

Abstract

This article study NBTI (negative bias temperature instability) effect in HV(high voltage) p-MOSFET device, the degradation of device characteristics and key parameters was observed under negative bias temperature instability stress conditions. According to our findings, a physical model is proposed which could be used to more accurately predict the transistor degradation, which is R-D model(reaction-diffusion) of interface traps and oxide traps. Finally, some methods to suppress the NBTI effects was discussed with our present understanding.

**Key words: NBTI effect, HV p-MOSFET, Interface trap,
R-D model**

Chinese Book Category Number: TN4

致 谢

此论文研究是在汤庭鳌教授的悉心指导下，利用业余时间在上海宏力半导体 Foundry 内完成，特别感谢导师汤庭鳌教授的宝贵指导；感谢公司领导的支持和许多同仁：曾旭、程波的指导和帮助。

第一章 引言

负栅压偏置不稳定性 (NBTI, negative bias temperature instability) 和热载流子注入 (HCI, hot carrier injection) 效应是影响器件可靠性的重要因素。NBTI 现象 60 年代就被发现, 但由于器件尺寸相对较大和工艺上的不断进步, NBTI 效应对器件可靠性的影响并未得到足够的重视。随着器件尺寸不断缩小和栅氧化层厚度的不断减薄, 以及一些新工艺诸如氮化栅氧化层等的采用 (为了提高栅氧化层的介电常数和抑制硼的扩散), NBTI 效应对器件可靠性的影响越来越严重, 将最终限制器件的寿命。

p-MOSFET 器件在高温和负栅压偏置应力下会产生 NBTI 效应, 导致器件漏极饱和电流 I_{sat} 的绝对值和跨导 g_m 的下降, 关态电流 I_{off} 的绝对值和阈值电压 V_t 的增加。一般应力的温度范围为 $100-250^{\circ}\text{C}$, 氧化层电场强度一般低于 6MV/cm , 在器件的老化和高性能芯片的工作过程中会遇到这种温度和电场条件。负栅压偏置应力或高温都会产生 NBTI 效应, 当这两种条件一起施加时, NBTI 效应更强、更快。在逻辑 MOS 电路中, 由于 p-MOSFET 器件的 NBTI 退化, 会导致电路信号的延迟, 信号延迟的增加会导致时间漂移和潜在电路失效。信号的不对称延迟会导致灵敏逻辑电路不工作, 从而导致产品失效。^[1]

当 NBTI 应力电压取消后, 一部分 NBTI 退化能通过高温退火恢复, 在高温退火过程中施加电场有利于 NBTI 退化的恢复, 正偏置电场显示对器件特性有最大的恢复。当重新施加 NBTI 应力条件时, 原有的器件特性退化立即重现, 推测氢 $\text{H}^+/\text{H}^0/\text{H}_2$ 在 NBTI 应力条件下起到一种可逆的作用。^[2]

在负偏置栅压应力下, 不管是 n+或 p+多晶硅栅, p-MOSFET 器

件的 NBTI 效应特别明显；最近有数据表明隐埋沟道 p-MOSFET 器件对 NBTI 效应显著不敏感。^[3] 隐埋沟道 p-MOSFET 器件相对于表面沟道 p-MOSFET 器件的可靠性能提高主要由于 n+与 p+多晶硅栅的功函数不同使得相同栅电压下栅氧化层电场下降；而且 n+多晶硅栅没有硼 B 原子扩散。同时隐埋沟道器件相对于表面沟道器件的有效栅氧化层较厚，这些应用可以改善器件的 NBTI 效应和 1/f 噪音性能，但是会产生短沟道效应，而且制造过程中变异控制比较困难。随着器件的尺寸缩小，NBTI 效应显著增加，它将最终影响器件的寿命，因为在低栅氧化层电场下，薄栅氧化层器件的 NBTI 效应比 HCI 效应更严重。

许多先进的 CMOS 技术应用双层或多层栅氧化工艺，模拟信号敏感电路用厚栅氧化层，而逻辑性能优化要求薄栅氧化层；因为一般厚栅氧化层在 Si/SiO₂ 界面附近氮 N 原子的浓度较低，这些器件对 NBTI 不敏感，但是会影响模拟混合信号电路的应用，因为阈值电压 V_t 漂移是一个主要的可靠性问题。在信号匹配应用中更严重，电路工作会使得匹配的晶体管进入不匹配的偏置状态，导致明显的不对称应力从而产生不匹配；如果不匹配超过电路允差 100ppm，在 burn-in 或高电场运作下一些高性能设计的器件的运作特性差异会导致失效或良率下降。模拟电路设计技术改进能够遏制一些问题和改善不对称 NBTI 偏置应力状态。但是代价是设计复杂化和潜在器件性能下降，例如功耗、噪音和芯片面积增加。^[4]

因为数字电路越来越占主导地位，大多数 SOC 芯片上器件超过百万个数字晶体管，NBTI 效应引起的阈值电压 V_t 漂移已越来越成为严重的问题。NBTI 效应引起的数字电路饱和电流 I_{dsat} 变化会产生明显的延时问题，如果数字信号不同步，信号处理会中断，最终导致电路失效。随着阈值电压 V_t 增加，栅极驱动电压 $V_g - V_t$ 下降，导致振荡器的电流和频率下降，降低标准随机存储器的噪音性能。可以通

过设计改进减轻这些问题，但是会增加电路的复杂度，降低器件的性能。对未来 SOC 设计，一个很严重的问题是 NBTI 效应影响芯片潜在失效的时间分布的统计变化。随着器件尺寸缩小，芯片上器件数量增加，NBTI 效应引起电路失效的几率增加；由于 SOC 复杂度和集成度增加，即使优化设计技术，NBTI 效应还是会引起产品 CP 良率的下降。

NBTI 效应在 CMOS 器件发展早期就被认识，1967 年之前就被看到，Bell Labs 最早展示了 NBTI 退化的详细特征^[5]；对 100nm 栅氧化层厚度的金属栅器件施加高温和负栅压偏置应力，电场强度 $\sim 10^6 \text{V/cm}$ 左右，温度 300℃，发现初始的界面态缺陷越多，高温和负栅压偏置应力下增加的界面态缺陷越多，而正栅压偏置应力下界面态缺陷增加很少；随着负栅压偏置应力增加，界面态缺陷变化增加；随着应力时间增加，界面态缺陷按 $t^{0.25}$ 指数关系增加； $\text{Dit}(T=300^\circ\text{C}) > \text{Dit}(T=250^\circ\text{C})$ ；p-type 衬底比 n-type 衬底界面态缺陷浓度 Dit 更高。含氮 N 原子的栅氧化层器件的 NBTI 退化更严重。1999 年之后，先进的 CMOS 器件应用氮栅氧化层已成为工业标准。

对 LV (low voltage) p-MOSFET 器件，随着栅氧化层厚度越来越薄，NBTI 效应引起的界面态缺陷变化加大；而 NBTI 效应引起的氧化层电荷变化与栅氧化层厚度没有明显的关系。界面态缺陷产生与栅氧化层厚度的 t_{ox}^{-1} 相关性显示超薄栅氧化层的 NBTI 效应更严重。NBTI 效应产生的界面态缺陷和氧化层电荷对器件的 1/f 噪音也有不利的影响。High-K 栅氧化层 HfO_2 器件的 NBTI 效应也有相关报道。^[6]

对 HV (high voltage) p-MOSFET 器件的 NBTI 效应的研究报道相对较少，而且目前 Foundry 厂的 HV p-MOSFET 器件的 V_t stability 可靠性性能都很差。虽然 HV p-MOSFET 器件的栅氧化层较厚，随着栅极电压 V_g 的增大，大量电子从栅极穿过栅氧化层、反

型层沟道流向衬底，沟道内电离作用冲击产生热空穴(Hot Hole)反向注入氧化层形成氧化层缺陷(Hole Trapping Center)；同时反型层沟道内电子的电离作用和热空穴的反穿诱发 SiO_2/Si 界面 SiH 键断裂，并以 $\text{H}^+/\text{H}^0/\text{H}_2$ 的形式从 SiO_2/Si 界面向 $\text{SiO}_2/\text{多晶 Si}$ 栅界面扩散，生成界面态缺陷， $\text{H}^+/\text{H}^0/\text{H}_2$ 又被氧化层缺陷(Hole Trapping Center)捕获形成氧化层电荷，更诱发 SiO_2/Si 界面 SiH 键断裂，直至达到一种动态平衡。在高温和负栅压偏置应力下，界面态缺陷和氧化层缺陷的变化一起作用影响器件特性和典型参数的退化，使得 HV p-MOSFET 器件的 NBTI 退化显现得非常严重。^[7] 下面我们将对 HV p-MOSFET 器件的 NBTI 效应的机理和工艺改进做进一步的探讨。

第一节 界面态缺陷电荷和固定氧化层电荷

1. MOSFET 器件的特征参数

在讨论实验数据和可能的 NBTI 效应机理模型前，我们先讲一讲 MOSFET 器件的基本概念，如阈值电压、界面态缺陷电荷和氧化层固定正电荷。p-MOSFET 器件的阈值电压 V_t 表示为：

$$V_t = V_{FB} - 2\Phi_F - |Q_B|/C_{ox} \quad (1)$$

$$\Phi_F = (KT/q)\ln(N_D/n_i)$$

$$|Q_B| = (4qK_s \epsilon_0 \Phi_F N_D)^{1/2}$$

C_{ox} 为单位面积的氧化层电容

平带电压 V_{FB} 表示为：

$$V_{FB} = \Phi_{MS} - Q_f/C_{ox} - Q_{it}(\Phi_s)/C_{ox} \quad (2)$$

Q_f 是固定正电荷浓度

Q_{it} 是界面态缺陷电荷浓度

Φ_s 是表面势，取决于界面态缺陷电荷占有程度

我们假设衬底掺杂浓度和氧化层厚度不随 NBTI 应力变化。从上面表达式可知固定正电荷浓度 Q_f 和界面态缺陷电荷浓度 Q_{it} 的变化会导致阈值电压 V_t 的漂移；在 NBTI 应力的时候，界面态缺陷电荷浓度 Q_{it} 和固定正电荷浓度 Q_f 会发生变化，从而导致负阈值电压 V_t 的漂移。MOSFET 器件的饱和电流和跨导表示为：

$$I_D = (W/2L)u_{eff} C_{ox}(V_G - V_T)^2; \quad (3a)$$

$$g_m = (W/L)u_{eff} C_{ox}(V_G - V_T) \quad (3b)$$

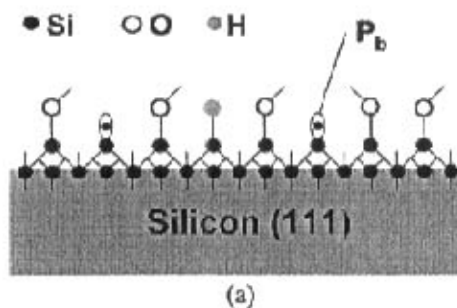
阈值电压 V_t 和电子迁移率 u_{eff} 是影响 I_D , G_m 下降的两个主要因素, 阈值电压 V_t 的变化如上面讨论, 电子迁移率 u_{eff} 的变化是由于界面态缺陷的产生, 引起表面散射的增加, 从而迁移速度下降。

2. 界面态缺陷电荷

硅是一个 Si 原子与四个 Si 原子键合的四面体结构; 当 Si 氧化的时候, 表面 Si 的结构如图 F1(a)和 F1(b)所示, 大多数硅和氧键合在表面, 一些硅原子与氢原子键合。一个界面态缺陷电荷是指三价的硅原子带一个价电子在 SiO_2/Si 界面。



三 代表与其它三个硅原子形成三价键, \cdot 代表悬挂键; 界面态缺陷 Pb center 表示为 $Dit(cm^{-2}eV^{-1})$, $Qit(C/cm^2)$ 和 $Nit(cm^{-2})$; 在 100 晶向 Si 的界面, 存在两种缺陷 Pb_1 和 Pb_0 , 见 F1(b); $Pb_1: Si_2O \equiv Si \cdot$, $Pb_0: Si_3 \equiv Si \cdot$; 这两种缺陷是栅氧化过程中应力的不匹配释放的结果。



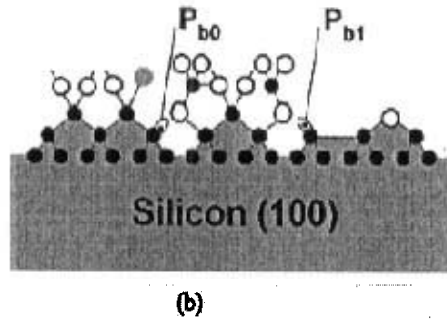
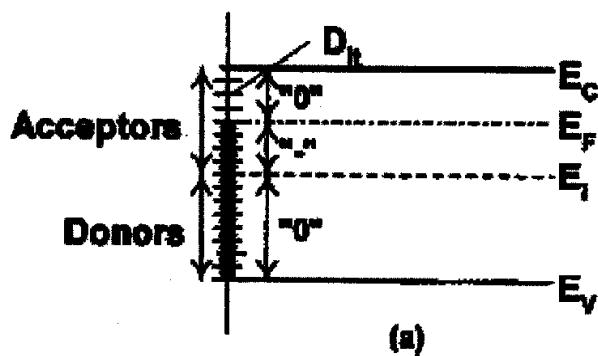


FIG. 1. Si 表面 Si, O, H 键合结构, (a) 111 晶向, (b) 100 晶向

界面态缺陷是电性激活缺陷，通过 Si 能带的能量分布变化引起漏电流、低频噪音、电子迁移和跨导的下降；因为界面态缺陷捕获电子或空穴，形成界面态缺陷电荷浓度的变化，从而引起阈值电压 V_t 漂移。

$$\Delta V_t = -\Delta Q_{it}(\Phi_s) / C_{ox} \quad (5)$$

Φ_s 是表面势，取决于界面态缺陷电荷占有程度，如 Fig2 所示：



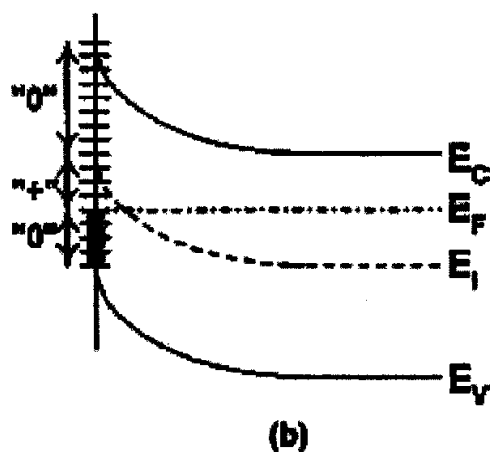


FIG.2. PMOSFET 器件Si 衬底的能带图，P型衬底界面态缺陷和各种极性电荷的占有程度，(a) 平带，负界面态缺陷电荷，(b) 反型，正界面态缺陷电荷；每一条短横线代表一个界面态缺陷，实心代表被一个电子占有，横线代表被空穴占有。

在能带的上半部分， SiO_2/Si 界面态缺陷为受主态；在能带的下半部分， SiO_2/Si 界面态缺陷为施主态。相对于掺杂原子，能带的上半部分， SiO_2/Si 界面态缺陷为施主态；在能带的下半部分， SiO_2/Si 界面态缺陷为受主态。平带状态时p-MOSFET器件的能带图如图2(a)所示，Fermi 能级以下能带被电子占据，能带下半部分是中性粒子，被施主态占据，(表示为“0”)，在Fermi 能级和中间能带之间是负电荷，被受主态占据，Fermi 能级以上的是中性粒子（没有被占据的受主态）。对反型状态时p-MOSFET器件的能带图如图2(b)所示，Fermi 能级和中间能带之间的一部分界面态转变成没有被占据的施主态，导致生成正 SiO_2/Si 界面态缺陷电荷（表示为“+”），p-MOSFET器件的正 SiO_2/Si 界面态缺陷电荷变化会导致器件的阈值电压 V_t 漂移。

界面态缺陷，在能带的上半部分为受主态，在能带的下半部分为

施主态，会影响器件的阈值电压 V_t 漂移，但是对 p-MOSFET 器件和 n-MOSFET 器件的影响是不同的。如图 3 所示，

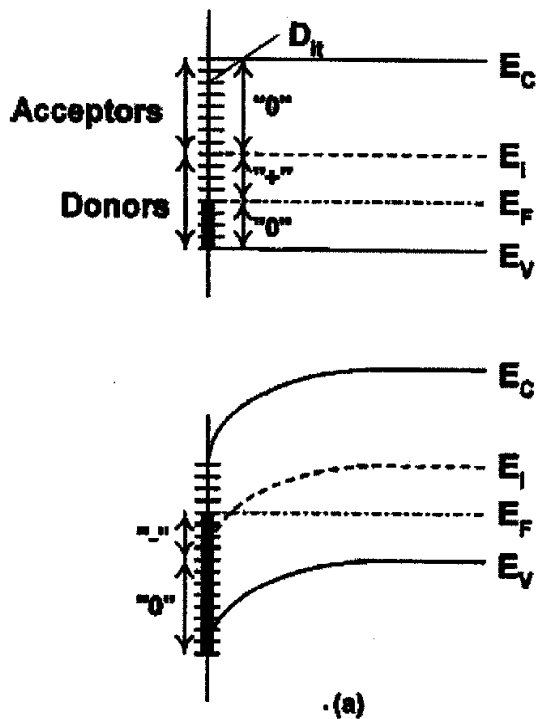
n-MOSFET 器件的能带图 (3a)，p-MOSFET 器件的能带图 (3b)，在平带状态时，n-MOSFET 器件是正界面态缺陷电荷，而 p-MOSFET 器件是负界面态缺陷电荷。在反型状态时， $\Phi_s = |2\Phi_F|$

n-MOSFET 器件是负界面态缺陷电荷，而 p-MOSFET 器件是正界面态缺陷电荷。因为固定电荷是正的，所以反型状态时，

n-MOSFET 器件： $Q_f - Q_{it}$

p-MOSFET 器件： $Q_f + Q_{it}$

所以，p-MOSFET 器件的影响更严重。



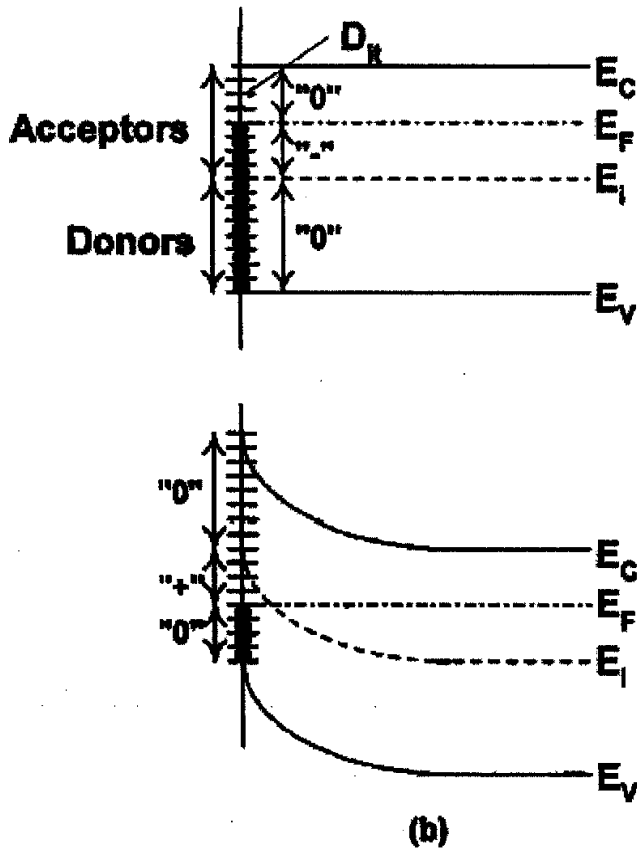


FIG.3. Si 衬底的能带图，衬底界面态缺陷和各种极性电荷的占有程度，
(a) P型衬底，平带时为正界面态缺陷电荷，反型时为负界面态缺陷电荷，(b)
N型衬底，平带时为负界面态缺陷电荷，反型时为正界面态缺陷电荷，

假如器件的界面态缺陷电荷和固定电荷的浓度都在 10^{10}cm^{-2} 范围，
对一个栅极 $0.1 \mu\text{m}(\text{L}) \times 1.0 \mu\text{m}(\text{W})$ 的 MOSFET 器件，如果 $A = 10^{-9} \text{cm}^2$ ，
 $N_f = N_{it} = 10^{10} \text{cm}^{-2}$ ，在 SiO_2/Si 界面仅仅 10 个界面态缺陷电荷和 10 个
固定电荷，20 个电荷导致器件的阈值电压 V_t 漂移为：

$$\begin{aligned}
\Delta V_t &= -(Q_{it} + Q_f) / C_{ox} \\
&= -20q \cdot t_{ox} / K_{ox} \varepsilon_0 A \\
&= -1.6 \times 10^{-19} \times 20 \times t_{ox} / 3.45 \times 10^{-13} \times 10^{-9} \\
&= -9.2 \times 10^3 t_{ox}
\end{aligned}$$

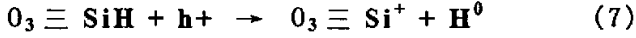
对 $t_{ox} = 5\mu m$, $\Delta V_t \approx -5mv$, 有的器件失效定义为 $\Delta V_t = -50mv$, 相对于 $\Delta N_f = \Delta N_{it} = 10^{11}cm^{-2}$, 只要适当提高 N_f 和 N_{it} 就会造成器件的失效。假设在一个信号匹配的逻辑电路中, 一个 MOSFET 器件的阈值电压漂移 $\Delta V_t = -10mv$, 另一个 MOSFET 器件的阈值电压漂移 $\Delta V_t = -25mv$, 对一个阈值电压 $V_t = -0.3v$ 的器件, 这 $15mv$ 阈值电压 V_t 的不匹配就是 5%, 这已经是非常显著的不匹配。特别是高性能的模拟晶体管对, 要求不匹配范围为 0.1% - 0.01%。当然设计者可以通过增加电容来改善不匹配问题, 代价是设计复杂度增加, 芯片面积增加。而且对一些存在不对称偏置条件的模拟电路还没有简单的设计改进办法。对敏感数字电路, 这些问题也是很重要的, 这种不匹配会影响高性能数字电路的延时和边沿触发问题。而且增加在制造过程中的变异, 这些潜在的 NBTI 退化会严重影响产品的良率, 导致产品失效。

3. 氧化层固定正电荷

固定正电荷 $Q_f(C/cm^2)$ 和 $N_f(cm^{-2})$, 是一种在 SiO_2/Si 界面附近的固定电荷, 对阈值电压 V_t 的漂移起主导作用, Q_f 也是一种氧化层三价 Si 缺陷的副产品, 表示为:



相似于界面态缺陷电荷的产生模型，氧化层固定正电荷 Q_f 的产生模型为：



界面态缺陷电荷和氧化层固定正电荷都是由于 SiH 键的断裂产生的，而固定正电荷 Q_f 发生在 SiO_2/Si 界面或 SiO_2/Si 界面附近；在 NBTI 应力时，SiH 键断裂释放正氢离子，一些氢离子从界面扩散到氧化层被氧化层缺陷捕获形成固定正电荷，产生氧化层固定正电荷浓度的变化，从而引起阈值电压 V_t 的漂移。

$$\Delta V_t = -\Delta Q_f / C_{ox} \quad (8)$$

Ogawa et al. 用 C-V 方法测量了固定电荷浓度和 MOS 电容的跨导方法测量了界面态缺陷电荷浓度，根据测量结果，他们提出了 Nit 和 Nf 表达式：^[5]

$$\Delta Nit(E_{ox}, T, t, t_{ox}) = 9 \times 10^{-4} E_{ox}^{1.5} t^{0.25} \exp(-0.2/KT) / t_{ox} \quad (9)$$

$$\Delta Nf(E_{ox}, T, t) = 490 E_{ox}^{1.5} t^{0.14} \exp(-0.15/KT) \quad (10)$$

t 是时间，发现 ΔNf 与 t_{ox} 无关， ΔNit 与 $1/t_{ox}$ 成指数关系，薄栅氧化层的 NBTI 效应更严重，他们的模型与 Nit 形成的扩散模型相一致。

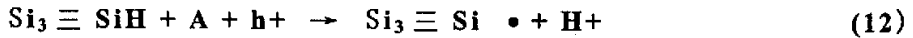
更多的结果指出 NBTI 漂移随着时间趋向饱和，显示为反应限制机理，在这些条件下，器件特性的总漂移 $\Delta V_t = f(\Delta Nit, \Delta Not)$ ，受可以用来 SiH 键断裂的氢 H 原子的总量， SiO_2/Si 界面和栅氧化层中缺陷总数的限制。阈值电压 V_t 的漂移表示为：

$$\Delta V_t(\Delta N_{it}, \Delta N_f) = B_1[1-\exp(-t/\tau_1)] + B_2[1-\exp(-t/\tau_2)] \quad (11)$$

B_1, B_2 是与方程相关的系数,

τ_1, τ_2 是反应限制的时间常数, 与缺陷生成和修复的反应速率相关。

方程 (11) 是根据下面的电化学反应推测得:



A 是 SiO_2/Si 界面中性粒子

h^+ 是硅表面的空穴

在 NBTI 应力期间, SiO_2/Si 界面 SiH 键断裂释放氢离子 H^+ , 一些扩散到栅氧化层, 被栅氧化层中的缺陷捕获, 导致阈值电压 V_t 漂移。在 NBTI 应力初期, 反应在 SiO_2/Si 界面生成界面态缺陷和氢离子 H^+ , 由 SiH 键断裂速率决定。随着 NBTI 应力时间加长, 氢离子 H^+ 从 SiO_2/Si 界面扩散到栅氧化层限制了这个过程, 由于栅氧化层中正电荷和界面态缺陷电荷的增加, SiO_2/Si 界面的电场强度渐渐下降, 限制了氢离子 H^+ 的扩散速率; 随着氢离子 H^+ 的扩散的减慢, 阈值电压 V_t 漂移下降, 最终趋向饱和。

第二节 NBTI 效应产生缺陷的理论模型

1. 界面态缺陷和氧化层缺陷的生成和氢 $H^+/H^0/H_2$ 的扩散模型 (Reaction-Diffusion model)

这模型假设，当加栅电压时，产生电场效应，在 SiO_2/Si 界面 SiH 键断裂生成界面态缺陷；虽然导致 SiH 键断裂的真正原因还不很清楚，有实验发现 SiH 键断是由于在电场作用下反型层空穴遂穿引起的，在高温下更容易断裂；游离的氢离子从界面扩散到氧化层，留下正的界面态缺陷电荷，引起阈值电压 V_t 增加，跨导 g_m 的下降。这个过程如 Fig4 示：

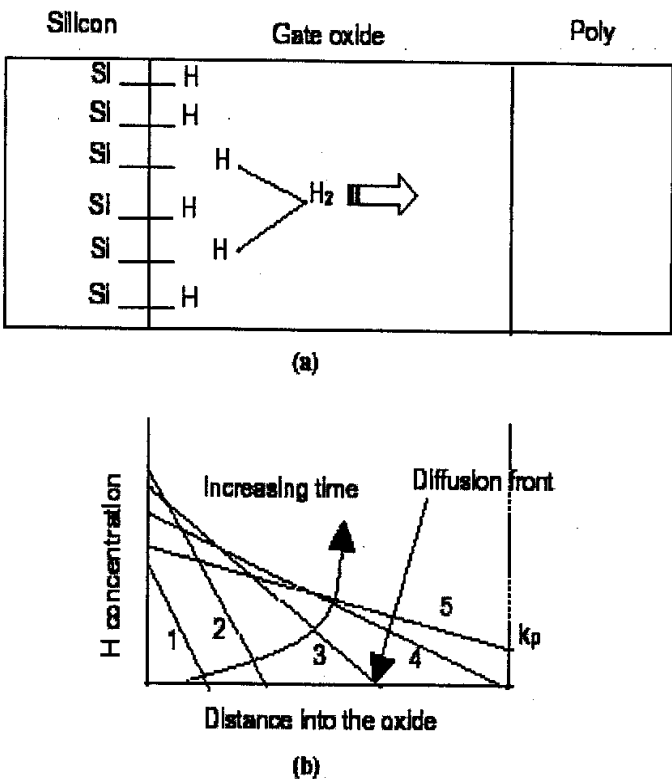


Fig. 4 (a) Reaction-Diffusion 模型图示解释 NBTI 应力期间界面态缺陷的产生过程，在 SiO_2/Si 界面 SiH 键断裂产生 Si^+ （界面态缺陷）和 H ，初始界面态

缺陷的生成速度取决于SiH键断裂速度(Reaction), 而随后取决于H扩散速度(Diffusion), 一些H转变成H₂, 因为H扩散很慢, H扩散一般是通过H₂扩散;
(b) NBTI应力期间H浓度变化曲线, H浓度曲线下方的面积等于生成界面态缺陷的数量, 这些曲线的次序代表Reaction限制(1,2)和Diffusion限制(3,4), 当H₂扩散到SiO₂/多晶Si栅界面, H₂快速在多晶Si栅中扩散使得H从SiO₂/Si界面快速扩散, 加剧了SiO₂/Si界面SiH键断裂并产生界面态缺陷。

这 Reaction-Diffusion 模型表示为下列方程式:

$$dN_{IT}/dt = k_F(N_0 - N_{IT}) - k_R N_H N_{IT} \quad (x = 0) \quad (14a)$$

$$dN_{IT}/dt = D_H(dN_H/dx) + (\delta/2) dN_H/dt \quad (0 < x < \delta) \quad (14b)$$

$$D_H(d^2N_H/dx^2) = dN_H/dt \quad (\delta < x < T_{PHY}) \quad (14c)$$

$$D_H(dN_H/dx) = k_p N_H \quad (x > T_{PHY}) \quad (14d)$$

$x = 0$ 表示 SiO₂/Si 界面, $x > 0$ 朝栅极方向 (氧化层), N_{IT} 是任何时间的界面态缺陷数量, N_0 是没有发生断裂的 SiH 键的初始数量, N_H 是 H 的浓度, k_F 是氧化层电场相关的 SiH 键断裂速度常数, k_R 是恢复速度常数, D_H 是 H 的扩散系数, δ 是界面厚度, T_{PHY} 是氧化层厚度, k_p 是 SiO₂/多晶 Si 栅界面表面重新组合的速度。

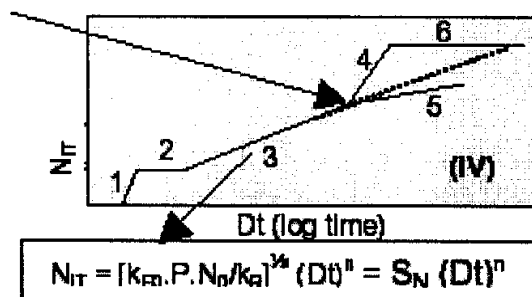
在 SiO₂/Si 界面氢 H 以三种形式 H⁺/H⁰/H₂ 存在, 并向栅氧化层和 SiO₂/多晶 Si 栅界面扩散。





有研究报道了^[8]不同氢 H 的形式 $\text{H}^+/\text{H}^0/\text{H}_2$ 扩散时, 界面态缺陷浓度与应力时间的不同相关系数。

氢 H 扩散到 SiO_2 /多晶 Si 栅界面



Species	n
H^0 (V)	0.25
H_2	0.165
H^0, H_2	0.165 - 0.25
H^+	0.5
$\text{H}^0, \text{H}_2, \text{H}^+$	0.165 - 0.5
Trap or	↑ or ↓

在高栅压作用时, 大量电子从栅极穿过栅氧化层、反型层沟道流向衬底, 沟道内电离作用冲击产生热空穴(Hot Hole)反向注入氧化层形成氧化层缺陷(Hole Trapping Center); 同时反型层沟道内电子的电离作用和热空穴的反穿透诱发 SiO_2/Si 界面 SiH 键断裂, 并以 $\text{H}^+/\text{H}^0/\text{H}_2$ 的形式从 SiO_2/Si 界面向 SiO_2 /多晶 Si 栅界面扩散, 生成界面态缺陷, $\text{H}^+/\text{H}^0/\text{H}_2$ 又被氧化层缺陷捕获形成氧化层电荷, 更诱发 SiO_2/Si 界面 SiH 键断裂, 直至达到一种动态平衡。界面态缺陷和氧

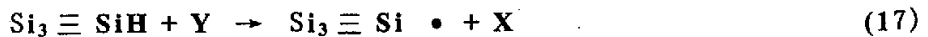
化层缺陷一起作用导致 p-MOSFET 器件的特性和典型参数退化。阈值电压 V_t 的变化可以表示如下：

$$\Delta V_t \propto N_T(V_G^P, T^P, t) = N_{IT}(V_G^P, T^P, t) + N_{OT}(V_G^P, T^P, t) \quad (16)$$

氧化层缺陷的变化对 HV p-MOSFET 器件（厚栅氧化层）的阈值电压 V_t 的漂移起主导作用，而界面态缺陷的变化对 LV p-MOSFET 器件（薄栅氧化层）的阈值电压 V_t 的漂移起主导作用。

2. NBTI 效应的化学反应物质模型

这种模型假设物质 Y 扩散到 Si/SiO₂ 界面产生界面缺陷，



而物质 Y 是什么不是很清楚，Jeppson and Svensson 最早提出这种模型，^[5] 他们对 95nm 厚栅氧化层的 Al 金属栅 MOS 器件施加 $-4 \sim -7 \times 10^6 \text{V/cm}$ 电场，器件施加应力前在 500°C 下退化 10 分钟，发现在 NBTI 应力下，产生相同浓度的界面态缺陷 Q_{it} 和固定电荷 Q_f ，如果保持应力温度，将栅极接地，NBTI 应力下产生的界面态缺陷 D_{it} 减少很慢，而且与应力时间有 $t^{0.25}$ 的相关性。他们提出这种模型如图 5 所示：

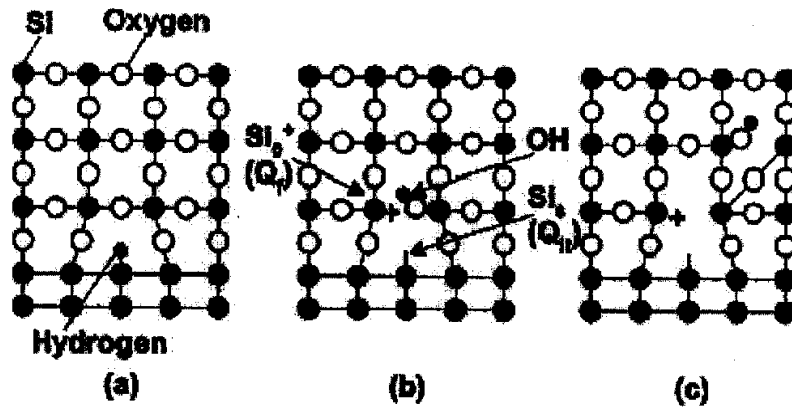


FIG.5. SiO₂/Si界面的二维图示, (a) the 三SiH缺陷, (b) NBTI应力下如何被电性激活产生界面态缺陷, 固定氧化层电荷和一种OH基团, (c) 这种OH基团在氧化层中扩散。

SiH 键断裂产生的 H 与 SiO₂ 晶格作用形成 OH 基团与一个氧原子键合, 在氧化层中留下一个三价的 Si 原子 (Si⁰⁺), 在 Si 表面留下一个三价的 Si 原子 (Si³⁺) ; Si⁰⁺ 形成固定正电荷, Si³⁺ 形成界面态缺陷。

第三节 国内外文献简述

从60年代人们就已认识到MOS场效应晶体管的负偏置高温不稳定性退化现象,虽然对器件退化的根本原因还不是很清楚,在一定栅电压和高温下, SiO_2/Si 界面和栅氧化层中正电荷的产生会导致MOS器件性能的退化,这已被普遍认同。

1. 国外文献综述

国外对MOS场效应晶体管的负偏置高温不稳定性已进行了相当的研究,包括NBTI引起器件电性参数退化的现象、机理和工艺相关性等方面。^[9, 17]

1) 现象和机理研究:

- 1.1 器件电性参数的退化:漏极饱和电流 I_{sat} 的绝对值和跨导 g_m 的下降,关态电流 I_{off} 的绝对值和阈值电压 V_t 的增加。
- 1.2 器件退化中产生的缺陷: SiO_2/Si 界面态缺陷 N_{it} 和栅氧化层缺陷 N_f 。
- 1.3 电荷移动的作用和沟道空穴数量的相关性。
- 1.4 栅极电压和栅氧化层电场的相关性。
- 1.5 温度相关性。
- 1.6 应力时间动态相关性。
- 1.7 负偏置栅电压取消或加正偏置栅电压时,器件的NBTI退化恢复。
- 1.8 栅电压频率相关性。

2) 工艺相关性研究:

- 2.1 氢H原子和氘D原子在器件的NBTI退化中的作用。
- 2.2 水 H_2O 分子加剧器件NBTI的退化。
- 2.3 栅氧化层中加入氮N原子,器件的NBTI退化更严重。

- 2.4 原极、漏极和栅极的不同掺杂浓度和掺杂物质对器件的 NBTI 退化的影响。
- 2.5 不同栅极材料对器件的 NBTI 退化的影响。
- 2.6 氟 F 原子抑制器件的 NBTI 退化。
- 2.7 硼 B 原子加剧器件的 NBTI 退化。
- 2.8 栅极预清洗工艺对器件 NBTI 退化的影响。

2. 国内文献综述

国内对 MOS 场效应晶体管的负偏置高温不稳定性的文献报道相对较少，西安电子科技大学、微电子研究所在半导体学报上发表一些报道，主要研究了器件的 NBTI 退化现象：器件电性参数的退化：漏极饱和电流 I_{sat} 的绝对值和跨导 g_m 的下降，关态电流 I_{off} 的绝对值和阈值电压 V_t 的增加；影响超深亚微米器件的 NBTI 退化的主要影响因素：栅极电压、温度、栅氧化层硼 B 穿透、栅氧化层氮化等；同时也提出了器件 NBTI 退化的机理解释。^[18, 20]

第四节 本论文工作简述

尽管针对 NBTI 效应已经进行了相当的研究,但是对其退化过程及退化机理仍然没有非常清楚的认识,尤其对 HV p-MOSFET 器件的 NBTI 效应的研究很少,而且目前 Foundry 厂的 HV p-MOSFET 器件的 V_t stability 可靠性性能都很差。本文深入研究了 NBTI 效应对 HV p-MOSFET 器件的特性及典型参数的影响,在此基础上对 NBTI 效应的退化过程进行分析并且就 NBTI 效应的发生机理提出一种可能的机制,最后从工艺的角度探讨了减少和抑制 NBTI 效应的方法。

第二章 NBTI 效应对 p-MOSFET 器件特性的影响

第一节 NBTI 效应对 HV p-MOSFET 器件的特性及典型参数退化的影响

虽然 HV p-MOSFET 器件的栅氧化层较厚，随着栅极电压 V_g 的增大，大量电子从栅极穿过栅氧化层、反型层沟道流向衬底，沟道内电离作用冲击产生热空穴(Hot Hole)反向注入氧化层形成氧化层缺陷(Hole Trapping Center)；同时反型层沟道内电子的电离作用和热空穴的反穿诱发 SiO_2/Si 界面 SiH 键断裂，并以 $\text{H}^+/\text{H}^0/\text{H}_2$ 的形式从 SiO_2/Si 界面向 $\text{SiO}_2/\text{多晶 Si}$ 栅界面扩散，生成界面态缺陷， $\text{H}^+/\text{H}^0/\text{H}_2$ 又被氧化层缺陷(Hole Trapping Center)捕获形成氧化层电荷，更诱发 SiO_2/Si 界面 SiH 键断裂，直至达到一种动态平衡。在高温和负栅压偏置应力下，使得器件的界面态缺陷电荷 Q_{it} 和氧化层缺陷电荷 Q_f 增加。

$$\Delta V_t = -(\Delta Q_{it} + \Delta Q_f) / C_{ox}$$

$$I_D = (W/2L)u_{eff} C_{ox}(V_G - V_T)^2$$

$$g_m = (W/L)u_{eff} C_{ox}(V_G - V_T)$$

本研究采用的样品是 0.18 μm 30V HV p-MOSFET 器件，多晶硅栅采用 B^+ 注入，器件沟道长度 $L=3.0\mu\text{m}$ ， $W=10\mu\text{m}$ ，栅氧化层厚度 $T_{ox}=80\text{nm}$ ，栅氧化采用湿氧化工艺。NBTI 测试是对器件施加高栅压偏置和高温应力 ($V_{ss} = V_{ds} = V_{bs}=0$)，量测器件特征参数退化随着应力时间的变化关系。

1. 对器件施加 NBTI 应力, $T = 150^{\circ}\text{C}$, 应力时间 $t = 3.48\text{E}+04 \text{ s}$, FIG.6 给出了在应力前后器件的 $I_d - V_g$ 器件特性的变化情况, 从图中可以看出在应力作用后器件的漏电流 $I_{d,at}$ 明显减小。

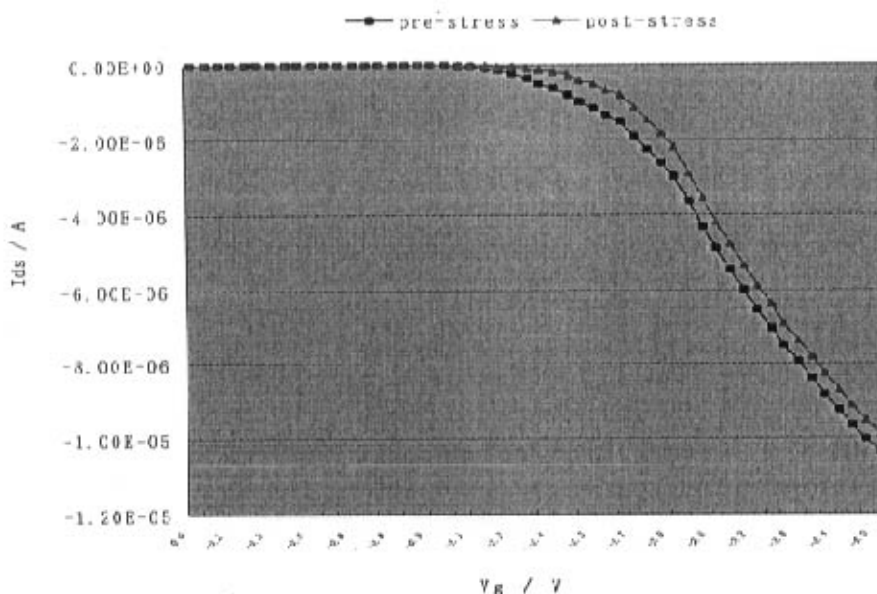


FIG.6 . 应力前后 $I_d - V_g$ 特性曲线的变化

阈值电压 V_t 和电子迁移率 μ_{eff} 是影响 I_D , G_m 下降的两个主要因素, 对器件施加 NBTI 应力后, 阈值电压 V_t 增加, 如上面讨论; 电子迁移率 μ_{eff} 的变化是由于界面态缺陷的产生, 引起表面散射的增加, 从而迁移速度下降。根据上面公式, 我们知道 $V_T \uparrow \quad \mu_{eff} \downarrow \quad I_D \downarrow \quad g_m \uparrow$ 。

2. 对器件施加不同的 V_g , $T = 150^\circ\text{C}$, FIG.7 给出了不同 V_g 下, 阈值电压 V_{th} 随着应力时间的变化, 从图中可以看出应力作用后器件的阈值电压 V_t 明显增加; V_g 越大, 阈值电压 V_t 的变化越明显。

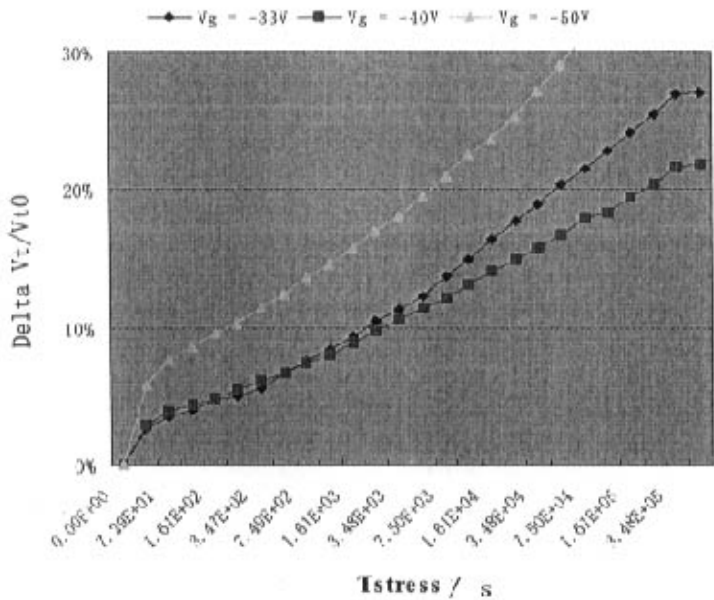


FIG.7. 不同应力电压下, 随着应力时间阈值电压 V_{th} 的变化

随着 V_g 增大, 栅氧化层电场增加, 加剧了电子和热空穴的运动, 同时也加速了氢 $H^+/H^0/H_2$ 从 SiO_2/Si 界面向栅氧化层和 SiO_2 /多晶 Si 栅界面扩散, 使得 NBTI 应力后, 器件的界面态缺陷和栅氧化层缺陷增加, 阈值电压 V_t 的漂移更严重。

第二节 界面态缺陷 Q_{it} 对器件特性的影响

前面我们已理论分析了 SiO_2/Si 界面态缺陷和界面态缺陷的变化对器件特性的影响。

$$\Delta V_t = -\Delta Q_{it}(\Phi_s)/C_{ox}$$

器件内界面态缺陷的分布和作用简单图示如下 FIG8:

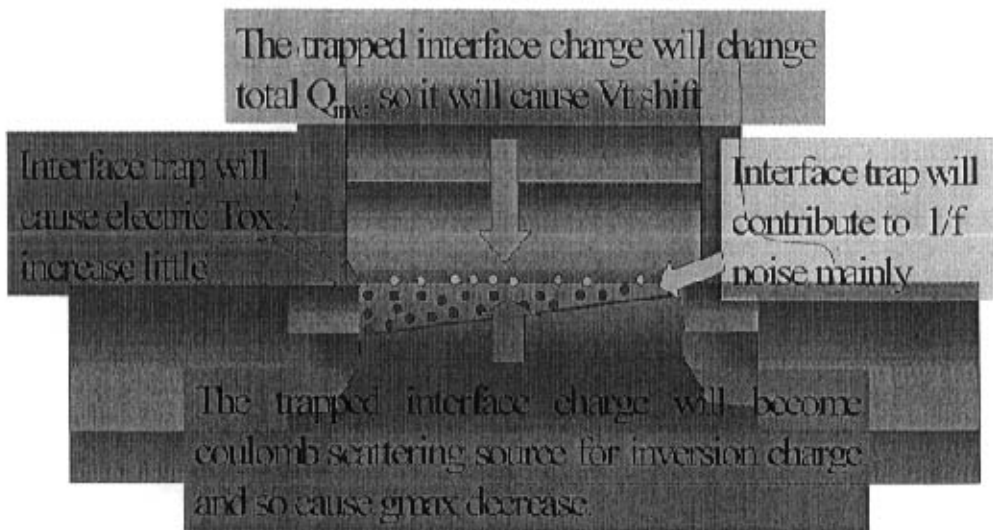
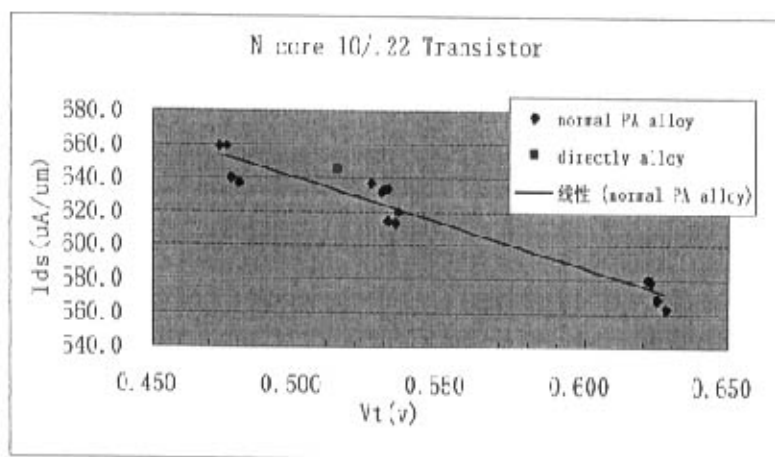


FIG.8 . 器件内界面态缺陷的分布和作用

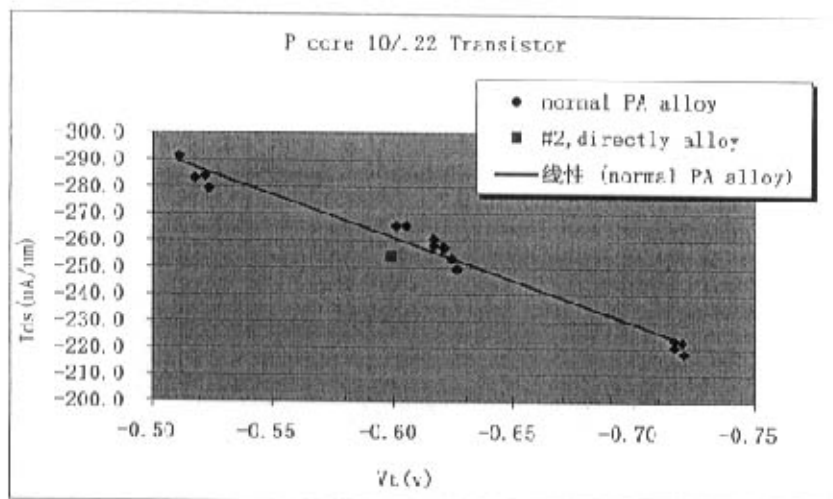
本研究采用的样品是 $0.22\mu\text{m}$ 1.5V LV CMOSFET 器件, 器件沟道长度 $L=0.22\mu\text{m}$, $W=10\mu\text{m}$, 栅氧化层厚度 $T_{ox}=44\text{nm}$, 栅氧化采用湿氧化工艺; 对 H_2 anneal 进行不同条件的试验, #2 directly alloy 指 top metal etch 之后对 wafer#2 直接退火, normal PA alloy 指 PA etch 之后对其他 wafers 退火。wafer#2 的界面态缺陷 Q_{it} 比其他 wafers 少因为 a) skip top metal over etch 会降低蚀刻时等离子体对器件的损伤, b) 没有 PA HDP oxide 和 SiN , 使得氢 H 原子更容易扩散到 Si/SiO_2 界面与悬挂键键合。测量结果如图 Fig9 和 Fig10 所示:

1. I_{ds} / V_t dependence (shot channel MOSFET device)



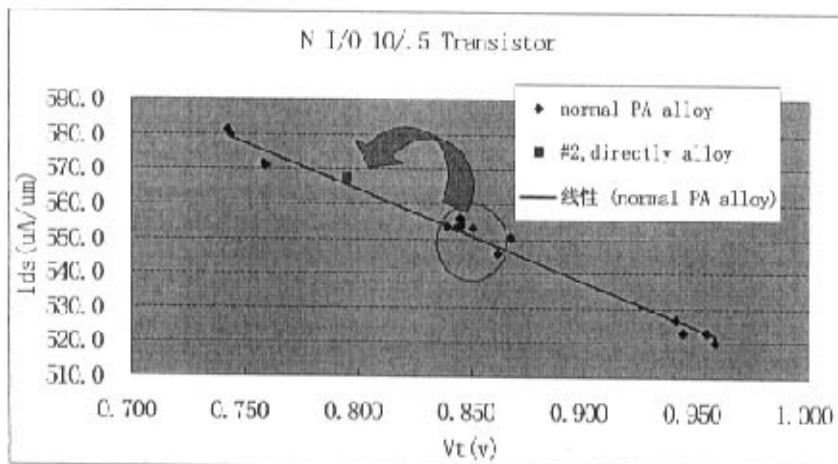
(9a)

讨论：发现 #2 directly alloy 的 N core 10/.22 器件的阈值电压 V_t 较底，漏极饱和电流 $I_{ds,sat}$ 较大，这应该是 directly alloy 更好地修复了界面态缺陷，提高了沟道内电子迁移率的结果。

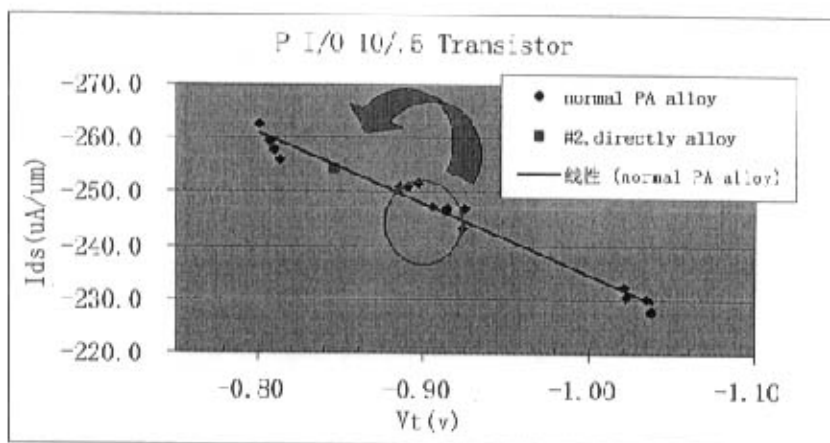


(9b)

讨论：发现 #2 directly alloy 的 P core 10/.22 器件的阈值电压 V_t 较底，漏极饱和电流 I_{dsat} 没有增加，与 N core 10/.22 器件显现不同的 WAT 电性特性，这应该与 PMOS 器件的 NBTI 退化有关，随着 V_{gs} 的增大，器件的跨导和电子迁移率明显下降。



(9c)

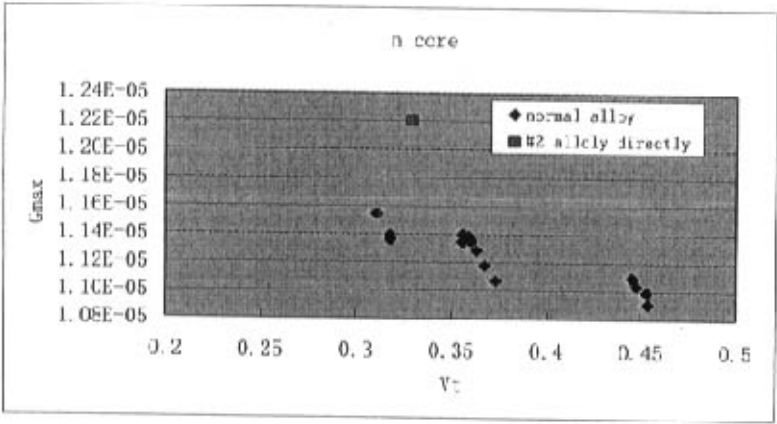


(9d)

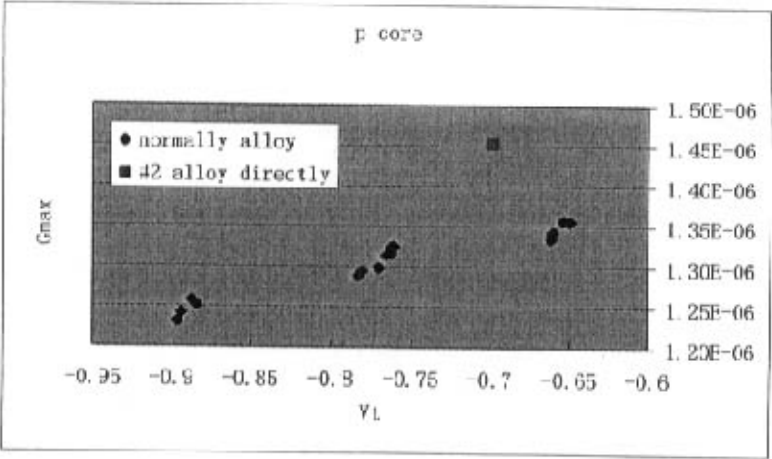
FIG.9. #2 directly alloy 对四种器件的特性 V_t 和 I_{ds} 的影响

讨论：发现 #2 directly alloy 的 P core 10/.5 器件的阈值电压 V_t 较底，漏极饱和电流 I_{dssat} 增加，与 N core 10/.22 器件显现不同的 WAT 电性特性，这应该是 directly alloy 更好地修复了界面态缺陷，提高了沟道内电子迁移率的结果。为什么 P core 10/.5 器件与 P core 10/.22 器件显现不同的漏极饱和电流 I_{dssat} 变化，需要做进一步的分析。

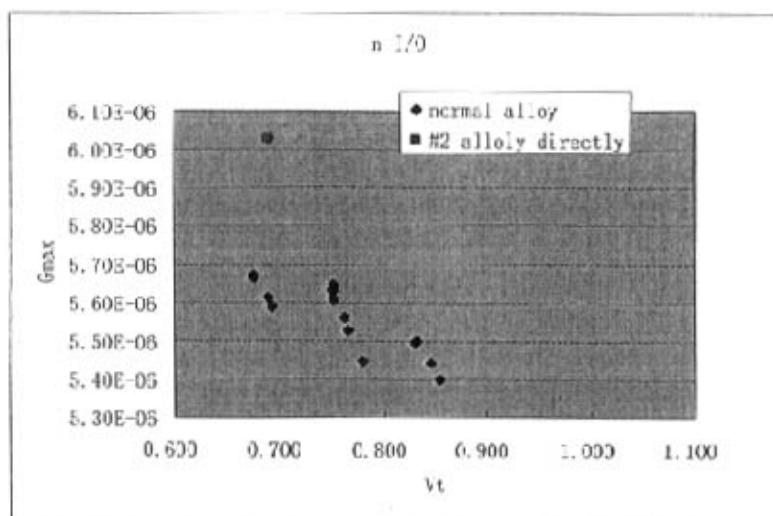
2. Gmax dependence.



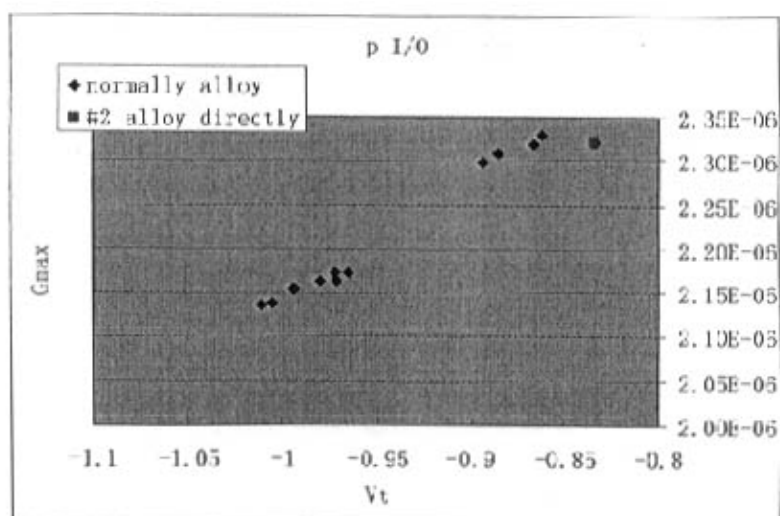
(10a)



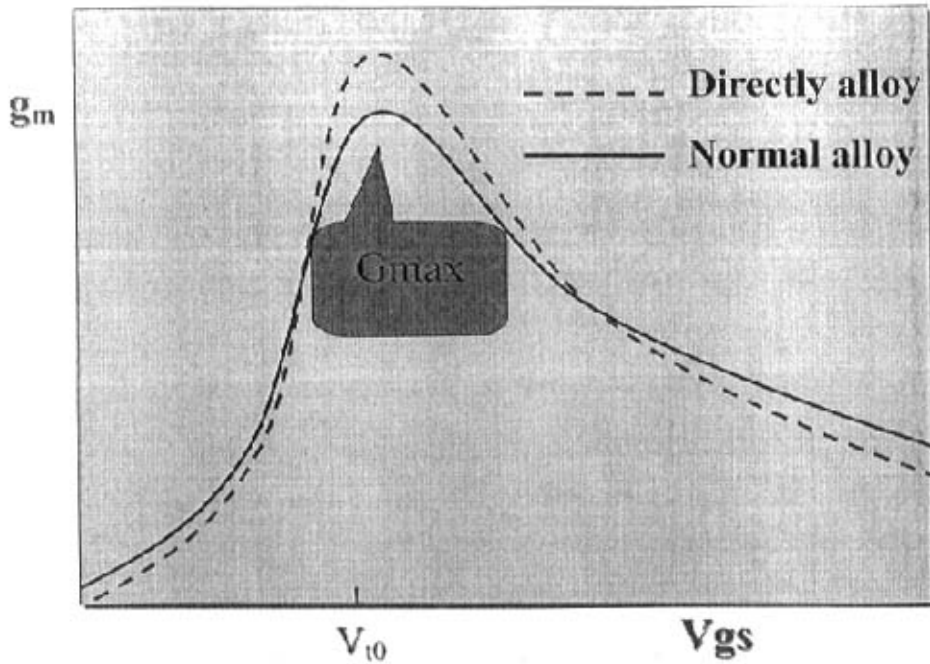
(10b)



(10c)



(10d)



(10e)

FIG. 10. #2 directly alloy 对四种器件的特性 G_{max} 的影响

讨论：发现 #2 directly alloy 的 NMOS 器件的 G_{max} 比 normal alloy 器件提高约 7%，但是只有 NMOS 器件的漏极饱和电流 $I_{d,sat}$ 增加，而 P core 器件的漏极饱和电流 $I_{d,sat}$ 没有增加。

结论：#2 directly alloy 比 normal alloy 更有效地修复 Si/SiO₂ 界面的悬挂键，使得界面态缺陷 Q_{it} 降低，使得各种器件的阈值电压 V_t 下降，电子迁移 μ 率提高，从而有较高的 G_{max} 。

第三章 减少和抑制 NBTI 效应的方法探讨

我们对 0.18um/0.15um 30V HV p-MOSFET 器件进行工艺改进来提高器件的 V_t stability 可靠性性能。表 1 给出了改进前的 V_t stability 可靠性性能。

Structure	Device	$V_{t0}(mV)$	$V_t(mV)$	ΔV_t	$\Delta V_t/V_{t0}$
HV 2 side PMOS 10L3.0 (0.18um)	1	-1.197	-1.377	-1.81E-01	15.11%
	2	-1.215	-1.399	-1.85E-01	15.22%
	3	-1.200	-1.385	-1.84E-01	15.35%
	4	-1.182	-1.361	-1.79E-01	15.11%
	5	-1.195	-1.376	-1.81E-01	15.12%
	6	-1.185	-1.363	-1.77E-01	14.96%
	7	-1.184	-1.366	-1.82E-01	15.39%
	8	-1.192	-1.382	-1.90E-01	15.98%

Structure	Device	$V_{t0}(mV)$	$V_t(mV)$	ΔV_t	$\Delta V_t/V_{t0}$
HV 2 side PMOS 10L3.0 (0.15um)	1	-0.959	-1.176	-2.18E-01	22.72%
	2	-0.964	-1.186	-2.22E-01	23.05%
	3	-1.026	-1.262	-2.36E-01	22.98%
	4	-0.966	-1.191	-2.25E-01	23.31%
	5	-0.943	-1.158	-2.15E-01	22.81%
	6	-0.932	-1.157	-2.25E-01	24.11%
	7	-0.970	-1.193	-2.23E-01	23.05%
	8	-0.993	-1.217	-2.24E-01	22.54%

Table 1. $V_g=1.1V_{dd}$, $V_d=V_b=V_s=0$ @ 150C for 168 hrs 应力后 V_{th} 的变化
(V_{th} measurement is conducted with the peak Gm method under $V_d=+/-0.1V$ @ 50C)

1. 改变 V_t implant, 提高初始阈值电压 V_t

如果沟道空穴对 NBTI 退化起作用, 我们可以改变沟道空穴的数量, 保持其他的应力条件, 测量器件 NBTI 退化的变化。一种方法是通过增加 V_t implant 提高阈值电压 V_t ; 对相同栅极应力电压 V_{gl} , 栅氧化电场相同 (因为沟道衬底接地), 但是沟道空穴数量会增加 (相对与 $V_{gl} - V_{th}$)。

进行实验增加 V_t implant, 将阈值电压 V_t 从 1.1v 提高到 1.3v; 实验结果显示 V_t stability 性能没有明显改善。如表 2 所示:

结论: 如果沟道空穴对器件的 NBTI 退化起作用, 沟道空穴的数量并不是限制因数。

Structure	Split condition	Device	$V_{t0}(mV)$	$V_t(mV)$	Delta V_t	Delta V_t/V_{t0}
HV 2 side PMOS 10L3.0 (0.18um)	High V_t 1.3v	1	-1.389	-1.602	-2.13E-01	15.34%
		2	-1.387	-1.619	-2.32E-01	16.72%
		3	-1.366	-1.580	-2.14E-01	15.64%
		4	-1.352	-1.582	-2.30E-01	17.02%
		5	-1.386	-1.620	-2.33E-01	16.83%
		6	-1.352	-1.580	-2.28E-01	16.88%
		7	-1.360	-1.581	-2.21E-01	16.27%
		8	-1.383	-1.606	-2.23E-01	16.14%

Table 2. V_t IMP split with high V_t value

2. 改变 Poly implant

对不同的栅极掺杂浓度, 栅氧化层电场不同; 降低栅极掺杂浓度, 栅极消耗层宽度增加, 栅氧化层电场下降; 低栅氧化层电场会降低器件的 NBTI 退化。

源极、漏极和栅极的掺杂对双功函数 CMOS 技术的器件很重要，硼 B 原子需要有 p+掺杂层，对 NBTI 退化产生影响；硼 B 原子扩散到栅氧化层会加剧 NBTI 退化。发现如果源极、漏极掺杂的硼原子 B 扩散没有很好的控制，NBTI 退化会加剧，由于源极、漏极和栅极的重叠区域产生更多缺陷，随着重叠区域相对栅极长度比列上升，类似热载子效应，NBTI 退化加剧。

进行实验取消在栅极表面的 PGRD implant，降低栅极的掺杂浓度，同时减少源极、漏极和栅极的重叠区域。实验结果显示 V_t stability 性能没有明显改善。如表 3 所示：

结论：实验结果没有看到降低栅极掺杂浓度和减少源极、漏极和栅极的重叠区域对器件的 V_t stability 可靠性性能有明显改善。

Structure	Split condition	Device	$V_{t0}(mV)$	$V_t(mV)$	Delta V_t	Delta V_t/V_{t0}
HV 2 side PMOS 10L3.0 (0.15um)	Gate to PGRD overlap 0.3	1	-1.044	-1.265	-2.22E-01	21.24%
		2	-1.013	-1.231	-2.18E-01	21.54%
		3	-0.991	-1.203	-2.12E-01	21.41%
		4	-1.018	-1.234	-2.17E-01	21.30%
		5	-1.004	-1.222	-2.18E-01	21.76%
		6	-1.076	-1.298	-2.22E-01	20.66%
		7	-0.978	-1.190	-2.11E-01	21.62%
		8	-1.010	-1.230	-2.21E-01	21.84%
HV 2 side PMOS 10L3.0 (0.15um)	Gate to PGRD overlap 1.5	1	-0.960	-1.179	-2.18E-01	22.72%
		2	-1.027	-1.253	-2.26E-01	22.04%
		3	-0.943	-1.161	-2.18E-01	23.10%
		4	-0.960	-1.175	-2.15E-01	22.36%
		5	-1.001	-1.219	-2.18E-01	21.77%
		6	-0.952	-1.170	-2.18E-01	22.88%
		7	-0.939	-1.151	-2.12E-01	22.53%
		8	-0.963	-1.178	-2.15E-01	22.27%

Table 3. New Device to remove PGRD IMP on poly surface

3. 改进栅氧化工艺

如第一章讨论，影响阈值电压 V_t 的变化两个主要因数 SiO_2/Si 界面态缺陷 N_{it} 和栅氧化层缺陷 N_{ot} ，所以如何提高 SiO_2/Si 界面和栅氧化层的质量成为改进器件 V_t stability 可靠性性能有效的方法。

3.1 不同栅氧化工艺对栅氧化层缺陷和界面态缺陷的影响

栅氧化层中的水分子 H_2O 会加剧 NBTI 退化，如 Fig4 所示为其中一种水分子 H_2O 作用的 NBTI 退化机理模型，在湿栅氧化层中界面态缺陷 N_{it} 和栅氧化层缺陷 N_{ot} 相对较多。

进行实验用 Dry+Dry 栅氧化工艺和 Dry + Wet + Dry 栅氧化工艺。实验结果显示 V_t stability 性能没有明显改善。如表 4 所示：

Structure	Split condition	Device	$V_{t0}(\text{mV})$	$V_t(\text{mV})$	Delta V_t	Delta V_t/V_{t0}
W#18 HV2 side PMOS 10L3.0 (0.18 μm)	Dry+Dry gate oxidation	1	-1.283	-1.520	-2.38E-01	18.54%
		2	-1.275	-1.515	-2.39E-01	18.76%
		3	-1.284	-1.517	-2.33E-01	18.11%
		4	-1.299	-1.535	-2.36E-01	18.18%
		5	-1.275	-1.514	-2.40E-01	18.79%
		6	-1.276	-1.505	-2.29E-01	17.95%
		7	-1.270	-1.501	-2.31E-01	18.19%
		8	-1.269	-1.502	-2.33E-01	18.33%
W#20 HV2 side PMOS 10L3.0 (0.18 μm)	Dry+Wet+Dry gate oxidation	1	-1.105	-1.306	-2.01E-01	18.23%
		2	-1.120	-1.324	-2.04E-01	18.21%
		3	-1.107	-1.315	-2.07E-01	18.70%
		4	-1.099	-1.303	-2.04E-01	18.57%
		5	-1.132	-1.339	-2.06E-01	18.22%
		6	-1.125	-1.331	-2.06E-01	18.32%
		7	-1.104	-1.306	-2.02E-01	18.33%
		8	-1.131	-1.336	-2.05E-01	18.14%

Table 4. Pure dry gate oxidation and dry + wet + dry gate oxidation

结论：实验结果没有看到 Dry 栅氧化工艺对器件的 V_t stability 可靠性性能有明显改善。

3.2 不同栅氧化预清洗工艺对界面态缺陷的影响

虽然栅氧化预清洗工艺和器件 NBTI 退化相关性的研究报道较少，但是栅氧化预清洗这一工艺步骤非常重要，它会影响 SiO_2/Si 界面和栅氧化层的质量，从而影响器件的 NBTI 退化性能。不适当的栅氧化预清洗工艺会留下杂质，甚至损坏 SiO_2/Si 界面键合结构，从而影响器件的 NBTI 退化和 $1/f$ 噪音性能。

进行实验用不同栅氧化预清洗工艺，降低 SiO_2/Si 界面的损伤。实验结果显示 V_t stability 性能没有明显改善。如表 5 所示：

Structure	Split condition	Device	$V_{t0}(\text{mV})$	$V_t(\text{mV})$	ΔV_t	$\Delta V_t/V_{t0}$
W#14HV2 side PMOS 10L3.0 (0.18 μm)	Gate oxidation pre-clean 300A	1	-1.075	-1.278	-2.03E-01	18.88%
		2	-1.074	-1.279	-2.05E-01	19.10%
		3	-1.065	-1.271	-2.07E-01	19.42%
		4	-1.068	-1.273	-2.06E-01	19.28%
		5	-1.069	-1.280	-2.10E-01	19.69%
		6	-1.072	-1.274	-2.02E-01	18.88%
		7	-1.057	-1.258	-2.00E-01	18.95%
		8	-1.085	-1.291	-2.06E-01	18.98%
W#16HV2 side PMOS 10L3.0 (0.18 μm)	Gate oxidation pre-clean 400A	1	-1.138	-1.345	-2.07E-01	18.17%
		2	-1.132	-1.342	-2.10E-01	18.51%
		3	-1.143	-1.353	-2.11E-01	18.43%
		4	-1.131	-1.338	-2.06E-01	18.24%
		5	-1.130	-1.337	-2.07E-01	18.32%
		6	-1.136	-1.343	-2.07E-01	18.21%
		7	-1.160	-1.377	-2.17E-01	18.75%
		8				

Table 5. Different gate oxidation pre-clean condition to reduce the damage of SiO_2/Si surface

结论：实验结果没有看到不同栅氧化预清洗工艺对器件的 V_t stability 可靠性性能有明显改善。

3.3 不同 Block SiN 蚀刻工艺对界面态缺陷的影响

栅氧化预清洗之前的 Block SiN 蚀刻与栅氧化预清洗一样会影响栅氧化层的质量，甚至损坏 SiO_2/Si 界面键合结构，从而影响器件的 NBTI 退化和 $1/f$ 噪音性能。

进行实验用不同 Block SiN 蚀刻工艺，降低 SiO_2/Si 界面的损伤。实验结果显示 V_t stability 性能没有明显改善。如表 6 所示：

Structure	Split condition	Device	Vt0(mV)	Vt(mV)	Delta Vt	Delta Vt/Vt0
W#9 HV 2 side PMOS 10L3.0	Block SiN dry etch 10"	1	-1.064	-1.264	-2.00E-01	18.80%
		2	-1.054	-1.252	-1.98E-01	18.77%
		3	-1.048	-1.245	-1.98E-01	18.87%
		4	-1.077	-1.280	-2.02E-01	18.78%
		5	-1.094	-1.298	-2.05E-01	18.70%
		6	-1.075	-1.277	-2.02E-01	18.82%
		7	-1.073	-1.278	-2.05E-01	19.14%
		8	-1.077	-1.278	-2.01E-01	18.71%
W#12 HV 2 side PMOS 10L3.0	Block SiN wet etch with hard mask	1	-1.041	-1.243	-2.01E-01	19.34%
		2	-1.028	-1.232	-2.04E-01	19.82%
		3	-1.027	-1.226	-1.99E-01	19.36%
		4	-1.037	-1.243	-2.05E-01	19.80%
		5	-1.040	-1.243	-2.03E-01	19.47%
		6	-1.032	-1.237	-2.05E-01	19.84%
		7	-1.051	-1.256	-2.05E-01	19.47%
		8	-1.025	-1.231	-2.06E-01	20.08%

Table 6. Different block SiN etch condition to reduce the damage of SiO_2/Si surface

结论：实验结果没有看到不同栅氧化预清洗工艺对器件的 V_t stability 可靠性性能有明显改善。

3.4 氮 N 原子对栅氧化层缺陷的影响

为了保持栅极漏电流 I_g 在合理的水平, 并且防止硼 B 原子的扩散, 业界都在栅氧化层中加入氮 N 原子, 使得 NBTI 退化在 CMOS 技术器件中显现的更严重。许多研究报道在栅氧化层中增加氮 N 原子浓度, NBTI 退化更严重; 在栅氧化层中加入氮 N 原子会形成 SiN 键, 氮 N 原子会扩散到 SiO_2/Si 界面类似氢 H 原子与界面悬挂键键合, 修复界面态缺陷, 随着氮 N 原子浓度的增加, 剩余没有被修复的界面态缺陷 D_{it} 减少。

然而, 对相同数量的界面态缺陷 D_{it} 产生情况下, 氮 N 栅氧化层器件的阈值电压 V_t 漂移比纯栅氧化层严重, 随着氮 N 原子浓度的增加, 这种差异更大。NBTI stress 之后在栅极施加正电压偏置, 阈值电压 V_t 的漂移会恢复很多, 氮 N 栅氧化层器件比纯栅氧化层器件更明显; 大量 hole trapping 现象与栅氧化层中氮 N 原子的加入很有关系, 氮 N 原子在氮 N 栅氧化层中形成 Si_3N , 相对与纯栅氧化层中 Si_2O 结构, 它们都担当 hole trapping center, Si_3N 结构的 hole trapping center 比 Si_2O 结构的 hole trapping center 有较低的势能, 也就是栅氧化层中氮 N 原子的加入加强了 hole trapping. 当一个空穴注入栅氧化层, Si_3N 结构的 hole trapping center 捕获空穴形成复杂的中间态, 这会导致 SiO_2/Si 界面氢 H 原子的拆离并且扩散到栅氧化层与 hole trapping center 结合, 这也可以解释空穴和界面态缺陷的相关性。

栅氧化层中加入氮 N 原子会降低界面态缺陷 D_{it} , 但同时栅氧化层中增加许多 hole trapping center, 当栅氧化层中 hole trapping

现象相对与界面态缺陷起主导作用时，栅氧化层中氮 N 原子的加入会使得 NBTI 退化更严重。

由于产品中有 30V($T_{ox} = 800\text{\AA}$), 5V($T_{ox} = 100\text{\AA}$), 1.8V($T_{ox} = 32\text{\AA}$) 三种器件，对 1.8V 的器件需要用氮化栅氧化层，工艺上采用对器件栅氧化层长好后通 NO 进行氮化，选择适当的工艺条件，使得氮 N 原子刚好扩散到 SiO_2/Si 界面。虽然 30V 和 5V 的器件不需要用氮化栅氧化层，但是为工艺简单化，通 NO 进行氮化过程中，所有的器件都进行了氮化，由于 30V 和 5V 的栅氧化层较厚，氮 N 原子还不能扩散到 SiO_2/Si 界面。

进行实验在栅氧化制程中降低氮 N 的浓度，实验结果显示 V_t stability 性能有明显改善。表 7 所示：

Structure	Split condition	Device	$V_{t0}(\text{mV})$	$V_t(\text{mV})$	Delta V_t	Delta V_t/V_{t0}
W#22 HV2 side PMOS 10L3.0 (0.18 μm)	6% NO nitride oxidation	1	-0.847	-0.941	-9.32E-02	11.00%
		2	-0.856	-0.949	-9.28E-02	10.84%
		3	-0.879	-0.975	-9.63E-02	10.95%
		4	-0.861	-0.957	-9.69E-02	11.26%
		5	-0.860	-0.951	-9.15E-02	10.64%
		6	-0.862	-0.956	-9.43E-02	10.95%
		7	-0.848	-0.938	-9.05E-02	10.68%
		8	-0.874	-0.966	-9.15E-02	10.47%

Table 7. Reduce nitrogen concentration in gate oxidation process

结论：实验结果看到在栅氧化制程中降低氮 N 的浓度对器件的 V_t stability 可靠性性能有明显改善。与栅氧化层中 hole trapping center 的理论相符合。

4. 改变栅极掺杂(B/BF₂)

用 BF₂ 代替硼 B 进行 Poly implant, 氟 F 原子类似氮 N 原子会扩散到 SiO₂/Si 界面与悬挂键键合使得界面态缺陷 Dit 减少, 从而抑制 NBTI 退化。

进行实验用 BF₂ 代替硼 B 进行 PGRD implant, 实验结果显示 Vt stability 性能没有明显改善。如表 8 所示:

Structure	Split condition	Device	Vt0(mV)	Vt(mV)	Delta Vt	Delta Vt/Vt0
W#24 HV2 side PMOS 10L3.0 (0.18um)	BF2 PGRD IMP	1	-1.122	-1.336	-2.13E-01	19.00%
		2	-1.142	-1.358	-2.15E-01	18.84%
		3	-1.145	-1.358	-2.12E-01	18.55%
		4	-1.123	-1.338	-2.14E-01	19.10%
		5	-1.107	-1.318	-2.11E-01	19.07%
		6	-1.125	-1.339	-2.14E-01	19.05%
		7	-1.140	-1.326	-1.85E-01	16.25%
		8	-1.126	-1.339	-2.12E-01	18.86%

Table 8. PGRD implant with BF2 instead of B

结论: 实验结果没有看到用 BF₂ 代替硼 B 进行 PGRD 掺杂对器件的 Vt stability 可靠性性能有明显改善。

讨论: 从以上的工艺改进的实验结果分析, 改进器件的界面态缺陷对 HV p-MOSFET 器件(厚栅氧化层)的阈值电压 Vt 的漂移影响很小, 而降低栅氧化制程中氮 N 的浓度, 使得栅氧化层缺陷减少, 对阈值电压 Vt 的漂移影响很明显。也证实了我们前面提到的氧化层

缺陷的变化对 HV p-MOSFET 器件（厚栅氧化层）的阈值电压 V_t 的漂移起主导作用。

我们将对器件进行 TEM 分析，对氮 N 原子在 HV p-MOSFET 器件的栅氧化层中分布，以及在栅极施加负电压偏置前后氮 N 原子在氧化层中分布的变化做进一步的研究，来进一步探讨栅氧化层中增加氮 N 原子浓度，使得 NBTI 退化更严重的机理解释。

第四章 结论

我们系统地分析了高温负栅压偏置应力下 HV p-MOSFET 器件性能退化现象，漏极饱和电流 $I_{d,sat}$ 的绝对值和跨导 g_m 的下降，关态电流 I_{off} 的绝对值和阈值电压 V_t 的增加。在高温负栅压偏置应力下，界面态缺陷和氧化层缺陷一起作用影响器件特性和典型参数退化。在氧化层电场作用下，大量电子从栅极穿过栅氧化层、反型层沟道流向衬底，沟道内电离作用冲击产生热空穴(Hot Hole)反向注入氧化层形成氧化层缺陷(Hole Trapping Center)；同时反型层沟道内电子的电离作用和热空穴的反穿诱发 SiO_2/Si 界面 SiH 键断裂，并以 $\text{H}^+/\text{H}^0/\text{H}_2$ 的形式从 SiO_2/Si 界面向 $\text{SiO}_2/\text{多晶 Si}$ 栅界面扩散，生成界面态缺陷， $\text{H}^+/\text{H}^0/\text{H}_2$ 又被氧化层缺陷(Hole Trapping Center)捕获形成氧化层电荷，更诱发 SiO_2/Si 界面 SiH 键断裂，直至达到一种动态平衡。

我们进行了减少和抑制 NBTI 效应的工艺方法探讨，从大量的实验结果看到降低栅氧化制程中氮 N 原子的浓度对 HV p-MOSFET 器件的 V_t stability 可靠性性能有明显改善。与栅氧化层中 hole trapping center 的理论相符合。

参考文献：

- [1] Y. Chen, J. Zhou, S. Tedja, F. Hui, and A. S. Oates, IRW Final Rep. No. 41, 2001.
- [2] M.A.Alam. A Critical Examination of the Mechanics of Dynamic NBTI for p-MOSFETs. IEDM(2003) 345-348. p.1-4.
- [3] Y.Nishida, H.Sayama, K.Oda, M.Katayama, Y.Inoue, H.Morimoto, and M.Inuishi, IEEE IEDM, 869(2001)
- [4] R. Thewes, R. Brederlow, C. Schlunder, P. Wiczorek, A. Hesener, B. Ankele, P. Klein, S. Kessel, and W. Weber, IEEE IEDM , 81 ~1999.
- [5] Dieter K. Schroder, Jeff A. Babcock. Negative bias temperature instability: Road to cross in deep sub-micron silicon semiconductor manufacturing. Journal of Applied Physics, 2003. p.1-19.
- [6] K.Torii, K.Shiraishi, Physical model of BTI, TDDB, and SILC in HfO₂-based high-k gate dielectrics, IEEE IEDM, 129(2004)
- [7] S.Mahapatra, A.Alam, A predictive reliability model for PMOS bias temperature degradation, IEEE IEDM, 505(2002)
- [8] S.Mahapatra, M.A.Alam, P.Bharath Kumar. Mechanism of Negative Bias Temperature Instability in CMOS Device: Degradation, Recovery and Impact of Nitrogen. IEDM(2004) 105-108. p.1-4.
- [9] V.Huard, M.Denais, F.Perrier. A through investigation of MOSFETs NBTI degradation. Microelectronics Reliability 45(2005)83-98. p.1-16.
- [10] M.A.Alam, S.Mahapatra. A comprehensive model of PMOS NBTI degradation. Microelectronics Reliability 45(2005)71-81. p.1-11.
- [11] Shyue Seng Tan, Tu Pei Chen, Chew Hoe Ang, Lap Chan. Mechanism of nitrogen enhanced negative bias temperature instability in p-MOSFETs. Microelectronics Reliability 45(2005)19-30. p.1-12.
- [12] Shyue Seng Tan, T.P. Chen. Relationship between interfacial nitrogen concentration and activation energies of fixed-charge trapping and interface state generation under bias temperature stress condition. Applied Physics Letters (2003) Volume 82, Number 2. p.1-4.

- [13] M.Ershov, S.Saxena, S.Minehane. Degradation dynamics, recovery, and characterization of negative bias temperature instability. *Microelectronics Reliability* 45(2005)99-105. p.1-7.
- [14] Haldun Kufluoglu, Muhammad Ashraf Alam. A Geometrical Unification of the Theories of NBTI and HCI Time-Exponents and its Impactions for Ultra-Scaled Plannar and Surround-Gate MOSFETs. *IEDM(2004)* 113-116. p.1-4.
- [15] Yuichiro Mirani. Influence of Nitrogen in Ultra-thin SiON on Negative Bias Temperature Instability under AC Stress. *IEDM(2004)* 117-121. p.1-5.
- [16] Sanjay Rangan, Neal Mielke, Everett C.C Yeh. Universal Recovery Behavior of Negative Bias Temperature Instability. *IEDM(2003)* 341-344. p.1-4.
- [17] M.Ershov, S.Saxena, H.Karbasi. Dynamic recovery of negative bias temperature instability in p-type metal-oxide-semiconductor field-effect transistors. *Applied Physics Letters(2003)* Volume 83, Number 8.
- [18] 郝跃, 韩晓亮, 刘红霞。超深亚微米P+栅PMOSFET中NBTI效应及其机理研究。电子学报 (Dec.2003) Vol.31, No.12A. p.1-3.
- [19] 韩晓亮, 郝跃。NBTI和HCI混合效应对PMOSFET特性退化的影响。西安电子科技大学学报 (Aug.2003) Vol.30, No.4. p.1-4.
- [20] 韩晓亮, 郝跃。超深亚微米PMOSFET器件的NBTI效应。半导体学报 (Jun.2003) Vol.24, No.6. p.1-5.

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外,不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名: 倪立达 日期: 2005.10.30

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定,即:学校有权保留送交论文的复印件,允许论文被查阅和借阅;学校可以公布论文的全部或部分内容,可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名: 倪立达 导师签名: 马建 日期: 05.12.12